



(12)发明专利申请

(10)申请公布号 CN 111477163 A
(43)申请公布日 2020.07.31

(21)申请号 202010315482.5

(22)申请日 2020.04.21

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 陈亮 丛宁 郑皓亮 刘冬妮
玄明花 齐琪

(74)专利代理机构 北京天昊联合知识产权代理
有限公司 11112
代理人 柴亮 姜春咸

(51) Int. Cl.
G09G 3/32(2016.01)
G09G 3/3233(2016.01)

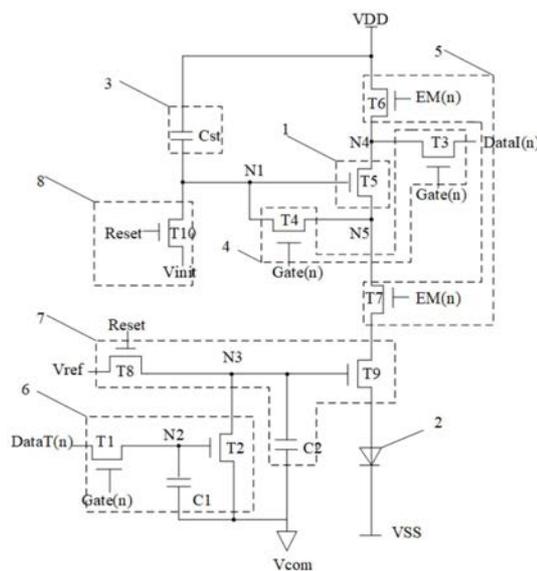
权利要求书2页 说明书8页 附图3页

(54)发明名称

像素驱动电路及其驱动方法、显示面板

(57)摘要

本发明提供一种像素驱动电路及其驱动方法、显示面板,属于显示技术领域,其可至少部分解决现有的Micro-LED显示装置的像素驱动电路对发光时长的调节方式的调节效率低的问题。本发明的一种像素驱动电路,包括:驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、灰阶控制单元以及时长调节单元;写入补偿单元,用于通过存储单元的调节向驱动单元写入数据线端的数据信号以及补偿数据;电流控制单元,用于通过控制驱动单元而控制流过发光单元的电流大小;时长调节单元,用于根据第二数据线端和栅线端的信号向灰阶控制单元写入时长调节数据;灰阶控制单元,用于根据时长调节数据、第二电压端和重置端的信号控制电流流过发光单元的时长。



1. 一种像素驱动电路,其特征在于,包括:驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、灰阶控制单元以及时长调节单元;

所述驱动单元,用于驱动所述发光单元进行发光;

所述存储单元的第一端连接第一电压端,其第二端连接第一节点;

所述写入补偿单元,用于通过所述存储单元的调节向所述驱动单元写入第一数据线端的第一数据信号以及补偿数据;

所述电流控制单元,用于通过控制所述驱动单元而控制流过所述发光单元的电流大小;

所述时长调节单元,用于根据第二数据线端和栅线端的信号向所述灰阶控制单元写入时长调节数据;

所述灰阶控制单元,用于根据所述时长调节数据、第二电压端和重置端的信号控制电流流过所述发光单元的时长。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述时长调节单元包括:

第一晶体管,其栅极连接栅线端,第一极连接第二数据线端,第二极连接第二节点;

第二晶体管,其栅极连接第二节点,第一极连接第三节点,第二极连接第三电压端;

第一电容,其第一极连接第二节点,第二极连接第三电压端。

3. 根据权利要求2所述的像素驱动电路,其特征在于,所述写入补偿单元包括:

第三晶体管,其栅极连接栅线端,第一极连接第四节点,第二极连接第一数据线端;

第四晶体管,其栅极连接栅线端,第一极连接第一节点,第二极连接第五节点。

4. 根据权利要求3所述的像素驱动电路,其特征在于,所述驱动单元包括:第五晶体管,其栅极连接第一节点,第一极连接第四节点,第二极连接第五节点。

5. 根据权利要求4所述的像素驱动电路,其特征在于,所述电流控制单元包括:

第六晶体管,其栅极连接信号端,第一极连接第一电压端,第二极连接第四节点;

第七晶体管,其栅极连接信号端,第一极连接第五节点。

6. 根据权利要求5所述的像素驱动电路,其特征在于,所述存储单元包括:存储电容,其第一极连接第一电压端,第二极连接第一节点。

7. 根据权利要求6所述的像素驱动电路,其特征在于,所述灰阶控制单元包括:

第八晶体管,其栅极连接重置端,第一极连接第二电压端,第一极连接第三节点;

第二电容,其第一极连接第三节点,第二极连接第三电压端;

第九晶体管,其栅极连接第三节点,第一极连接所述第七晶体管的第二极,第二极连接所述发光单元。

8. 根据权利要求7所述的像素驱动电路,其特征在于,还包括:重置单元,用于通过第四电压端和重置端的信号调节第一节点的电压,所述重置单元包括第十晶体管,其栅极连接重置端,第一极连接第一节点,第一极连接第四电压端。

9. 根据权利要求1所述的像素驱动电路,其特征在于,所述发光单元为微型发光二极管。

10. 一种像素驱动方法,其特征在于,基于权利要求1至9任意一项所述的像素驱动电路,所述像素驱动方法包括:

在重置阶段中,所述灰阶控制单元根据第二电压端和重置端的信号控制电流流过所述

发光单元的时长进行初始调节。

在数据写入阶段中,所述写入补偿单元通过所述存储单元的调节向所述驱动单元写入第一数据线端的第一数据信号以及补偿数据,所述时长调节单元根据第二数据线端和栅线端的信号向所述灰阶控制单元写入时长调节数据;

在显示阶段中,所述电流控制单元通过控制所述驱动单元而控制流过所述发光单元的电流大小,所述灰阶控制单元根据所述时长调节数据、第二电压端和重置端的信号控制电流流过所述发光单元的时长。

11. 根据权利要求10所述的像素驱动方法,其特征在于,所述像素驱动电路为权利要求8所述的像素驱动电路,所述像素驱动方法具体包括:

重置阶段,向第四电压端输入重置信号,向第二电压端输入初始信号,向重置端输入导通信号,向栅线端、信号端输入关断信号;

数据写入阶段,向第一数据线端输入第一数据线号,向第二数据线端输入第二数据信号,向栅线端输入导通信号,向重置端、信号端输入关断信号;

显示阶段,向第一电压端输入显示信号,向信号端输入导通信号,向重置端、栅线端输入关断信号。

12. 一种显示面板,其特征在于,包括多个像素驱动电路,所述像素驱动电路为权利要求1至9中任意一项的像素驱动电路。

像素驱动电路及其驱动方法、显示面板

技术领域

[0001] 本发明属于显示技术领域,具体涉及一种像素驱动电路及其驱动方法、显示面板。

背景技术

[0002] 相对于有机发光二极管(OLED)显示装置而言,微型发光二极管显示装置,如Micro-LED显示装置,具有驱动电压低、寿命长、耐宽温等优势,因此,微型发光二极管显示装置得到越来越多的关注。

[0003] 现有技术的一种Micro-LED显示装置的像素驱动电路中,是通过控制驱动电流和显示元件的发光时长来控制显示元件的显示灰阶的。其中,发光时长通常是根据数据线端的信号调节的。

[0004] 然而,有上述方式实现的对发光时长的调节方式的调节效率低,不利于对发光时长的控制。

发明内容

[0005] 本发明至少部分解决现有的Micro-LED显示装置的像素驱动电路对发光时长的调节方式的调节效率低的问题,提供一种对发光时长的调节方式的调节效率高的像素驱动电路。

[0006] 解决本发明技术问题所采用的技术方案是一种像素驱动电路,包括:驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、灰阶控制单元以及时长调节单元;

[0007] 所述驱动单元,用于驱动所述发光单元进行发光;

[0008] 所述存储单元的第一端连接第一电压端,其第二端连接第一节点;

[0009] 所述写入补偿单元,用于通过所述存储单元的调节向所述驱动单元写入第一数据线端的第一数据信号以及补偿数据;

[0010] 所述电流控制单元,用于通过控制所述驱动单元而控制流过所述发光单元的电流大小;

[0011] 所述时长调节单元,用于根据第二数据线端和栅线端的信号向所述灰阶控制单元写入时长调节数据;

[0012] 所述灰阶控制单元,用于根据所述时长调节数据、第二电压端和重置端的信号控制电流流过所述发光单元的时长。

[0013] 进一步优选的是,所述时长调节单元包括:第一晶体管,其栅极连接栅线端,第一极连接第二数据线端,第二极连接第二节点;第二晶体管,其栅极连接第二节点,第一极连接第三节点,第二极连接第三电压端;第一电容,其第一极连接第二节点,第二极连接第三电压端。

[0014] 进一步优选的是,所述写入补偿单元包括:第三晶体管,其栅极连接栅线端,第一极连接第四节点,第二极连接第一数据线端;第四晶体管,其栅极连接栅线端,第一极连接第一节点,第二极连接第五节点。

[0015] 进一步优选的是,所述驱动单元包括:第五晶体管,其栅极连接第一节点,第一极连接第四节点,第二极连接第五节点。

[0016] 进一步优选的是,所述电流控制单元包括:第六晶体管,其栅极连接信号端,第一极连接第一电压端,第二极连接第四节点;第七晶体管,其栅极连接信号端,第一极连接第五节点。

[0017] 进一步优选的是,所述存储单元包括:存储电容,其第一极连接第一电压端,第二极连接第一节点。

[0018] 进一步优选的是,所述灰阶控制单元包括:第八晶体管,其栅极连接重置端,第一极连接第二电压端,第一极连接第三节点;第二电容,其第一极连接第三节点,第二极连接第三电压端;第九晶体管,其栅极连接第三节点,第一极连接所述第七晶体管的第二极,第二极连接所述发光单元。

[0019] 进一步优选的是,本实施的像素驱动电路还包括:重置单元,用于通过第四电压端和重置端的信号调节第一节点的电压,所述重置单元包括第十晶体管,其栅极连接重置端,第一极连接第一节点,第一极连接第四电压端。

[0020] 进一步优选的是,所述发光单元为微型发光二极管。

[0021] 解决本发明技术问题所采用的技术方案是一种像素驱动方法,基于上述的像素驱动电路,所述像素驱动方法包括:

[0022] 在重置阶段中,所述灰阶控制单元根据第二电压端和重置端的信号控制电流流过所述发光单元的时长进行初始调节。

[0023] 在数据写入阶段中,所述写入补偿单元通过所述存储单元的调节向所述驱动单元写入第一数据线端的第一数据信号以及补偿数据,所述时长调节单元根据第二数据线端和栅线端的信号向所述灰阶控制单元写入时长调节数据;

[0024] 在显示阶段中,所述电流控制单元通过控制所述驱动单元而控制流过所述发光单元的电流大小,所述灰阶控制单元根据所述时长调节数据、第二电压端和重置端的信号控制电流流过所述发光单元的时长。

[0025] 进一步优选的是,所述像素驱动方法具体包括:重置阶段,向第四电压端输入重置信号,向第二电压端输入初始信号,向重置端输入导通信号,向栅线端、信号端输入关断信号;数据写入阶段,向第一数据线端输入第一数据线号,向第二数据线端输入第二数据信号,向栅线端输入导通信号,向重置端、信号端输入关断信号;显示阶段,向第一电压端输入显示信号,向信号端输入导通信号,向重置端、栅线端输入关断信号。

[0026] 解决本发明技术问题所采用的技术方案是一种显示面板,包括多个像素驱动电路,所述像素驱动电路为权上述的像素驱动电路

附图说明

[0027] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:

[0028] 图1为现有的像素驱动电路的结构示意图;

[0029] 图2为本发明的实施例的一种像素驱动电路的结构示意图;

[0030] 图3为图2所示的像素驱动电路的工作时序图;

[0031] 其中,附图标记为:1、驱动单元;2、发光单元;3、存储单元;4、写入补偿单元;5、电流控制单元;6、时长调节单元;7、灰阶控制单元;8、重置单元;VDD、第一电压端;Vref、第二电压端;Vcom、第三电压端;Vinit、第四电压端;VSS、第五电压端;DataI(n)、第一数据线端;DataT(n)、第二数据线端;Reset、重置端;Gate(n)、栅线端;EM(n)、信号端;T1、第一晶体管;T2、第二晶体管;T3、第三晶体管;T4、第四晶体管;T5、第五晶体管;T6、第六晶体管;T7、第七晶体管;T8、第八晶体管;T9、第九晶体管;T10、第十晶体管;N1、第一节点;N2、第二节点;N3、第三节点;N4、第四节点;N5、第五节点;Cst、存储电容;C1、第一电容;C2、第二电容;t1、重置阶段;t2、数据写入阶段;t3、显示阶段。

具体实施方式

[0032] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方式对本发明作进一步详细描述。

[0033] 以下将参照附图更详细地描述本发明。在各个附图中,相同的元件采用类似的附图标记来表示。为了清楚起见,附图中的各个部分没有按比例绘制。此外,在图中可能未示出某些公知的部分。

[0034] 在下文中描述了本发明的许多特定的细节,例如部件的结构、材料、尺寸、处理工艺和技术,以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样,可以不按照这些特定的细节来实现本发明。

[0035] 实施例1:

[0036] 如图2和图3所示,本实施例提供一种像素驱动电路,包括:驱动单元1、发光单元2、存储单元3、写入补偿单元4、电流控制单元5、灰阶控制单元7以及时长调节单元6;

[0037] 驱动单元1,用于驱动发光单元2进行发光;

[0038] 存储单元3的第一端连接第一电压端VDD,其第二端连接第一节点N1;

[0039] 写入补偿单元4,用于通过存储单元3的调节向驱动单元1写入第一数据线端DataI(n)的第一数据信号以及补偿数据;

[0040] 电流控制单元5,用于通过控制驱动单元1而控制流过发光单元2的电流大小;

[0041] 时长调节单元6,用于根据第二数据线端DataT(n)和栅线端Gate(n)的信号向灰阶控制单元7写入时长调节数据;

[0042] 灰阶控制单元7,用于根据时长调节数据、第二电压端Vref和重置端Reset的信号控制电流流过发光单元2的时长。

[0043] 此外,本实施例中的发光单元2可以是现有技术中包括Micro-LED(Micro Light Emitting Diode,微发光二极管)或OLED(Organic Light Emitting Diode,有机发光二极管)在内的电流驱动的发光器件,在本实施例中是以Micro-LED为例进行的说明。

[0044] 本实施例的像素驱动电路中,灰阶控制单元7根据第二数据线端DataT(n)和栅线端Gate(n)的信号向灰阶控制单元7写入时长调节数据,以使灰阶控制单元7根据时长调节数据、第二电压端Vref和重置端Reset的信号控制电流流过发光单元2的时长,从而使对发光时长的调节方式的调节效率高,进而保证像素驱动电路的性能。

[0045] 具体的,时长调节单元6包括:第一晶体管T1,其栅极连接栅线端Gate(n),第一极连接第二数据线端DataT(n),第二极连接第二节点N2;第二晶体管T2,其栅极连接第二节点

N2, 第一极连接第三节点N3, 第二极连接第三电压端Vcom; 第一电容C1, 其第一极连接第二节点N2, 第二极连接第三电压端Vcom。

[0046] 写入补偿单元4包括: 第三晶体管T3, 其栅极连接栅线端Gate (n), 第一极连接第四节点N4, 第二极连接第一数据线端DataI (n); 第四晶体管T4, 其栅极连接栅线端Gate (n), 第一极连接第一节点N1, 第二极连接第五节点N5。

[0047] 驱动单元1包括: 第五晶体管T5, 其栅极连接第一节点N1, 第一极连接第四节点N4, 第二极连接第五节点N5。

[0048] 电流控制单元5包括: 第六晶体管T6, 其栅极连接信号端EM (n), 第一极连接第一电压端VDD, 第二极连接第四节点N4; 第七晶体管T7, 其栅极连接信号端EM (n), 第一极连接第五节点N5。

[0049] 存储单元3包括: 存储电容Cst, 其第一极连接第一电压端VDD, 第二极连接第一节点N1。

[0050] 灰阶控制单元7包括: 第八晶体管T8, 其栅极连接重置端Reset, 第一极连接第二电压端Vref, 第一极连接第三节点N3; 第二电容C2, 其第一极连接第三节点N3, 第二极连接第三电压端Vcom; 第九晶体管T9, 其栅极连接第三节点N3, 第一极连接第七晶体管T7的第二极, 第二极连接发光单元2。

[0051] 本实施例的像素驱动电路还包括: 重置单元8, 用于通过第四电压端Vinit和重置端Reset的信号调节第一节点N1的电压, 重置单元8包括第十晶体管T10, 其栅极连接重置端Reset, 第一极连接第一节点N1, 第一极连接第四电压端Vinit。

[0052] 优选的, 所有晶体管均为N型晶体管; 或者, 所有晶体管均为P型晶体管。

[0053] 需要说明的是, 如图1所示 (其中, M1至M6分别表示不同的晶体管, VdataI、VdataT、Gate、EM、Rst、VDD' 分别表示不同的电压端), 现有技术的一种像素驱动电路中, 输入信号VdataI控制晶体管M5的工作状态, 使其始终工作在高电流密度下, 该电流大小可以使发光器件D1工作在高效率区域。输入信号VdataT对电容C2' 进行充电, 使节点N1产生不同的电压, 则对应不同的放电速度和时间, 该随时间变化的电压作用于晶体管M6, 当该电压低于一定值时M6导通, 发光器件D1发光, 则不同输入电压对应不同的发光时间, 即产生不同的亮度和灰阶。其中, 控制信号VdataT和放电过程中某一时刻节点N1的电压V (t) 的关系如下式:

$$[0054] \quad V(t) = (VdataT - Vcom) \times e^{\left(-\frac{t}{R_1 C_2}\right)} \quad (1),$$

而当节点N1到达电压V (t) 的时间如下式:

$$[0055] \quad t = R_1 C_2 \times \ln \left[\frac{VdataT - Vcom}{V(t)} \right] \quad (2),$$

其中, VdataT表示控制信号VdataT的电压, Vcom表示电容C2和电阻R1共同连接一端的电压, R1表示电阻R1的电阻值, C2表示电容C2' 的电容量。

[0056] 此外, 时间常数RC表示过渡反应的时间过程的常数, 指该物理量从最大值衰减到最大值的1/e所需要的时间。对于某一按指数规律衰变的量, 其幅值衰变为1/e倍时所需的时间称为时间常数。电路中的时间常数表示过渡反应的时间过程的常数。在电阻、电容的电路中, 它是电阻和电容的乘积。若C的单位是μF (微法), R的单位是MΩ (兆欧), 时间常数τ的单位就是秒。在这样的电路中当恒定电流I流过时, 电容的端电压达到最大值 (等于IR) 的1-1/e时即约0.63倍所需要的时间即是时间常数τ, 而在电路断开时, 时间常数是电容的端电

压达到最大值的1/e,即约0.37倍时所需要的时间。也就是说上述像素驱动电路的时间常数RC保持不变。

[0057] 由此可见,现有技术的上述像素驱动电路中,时间常数RC保持不变,采用调节VdataT电压幅值的方法调节发光时间,Vdata与发光时间成对数关系,一般情况下Vdata与Vref差值较小,因此通过Vdata调节发光时间效率较低。

[0058] 还需要说明的是,以p型晶体管讲解TFT工作原理:对于p型累积模式晶体管,当所加的V_{GS}为正电压,器件工作在一个耗尽模式,导电沟道的载流子被耗尽,产生一个高的沟道电阻,此时器件处于关态;当所加的V_{GS}为负电压时,器件工作在一个累积模式,大量的载流子被累积在半导体层和绝缘层的界面处,形成低电阻的导电沟道,此时器件处于开态。

[0059] 源漏电流I_{DS}的大小同时受到V_{GS}与V_{DS}的影响,通常采用输出特性曲线和转移特性曲线来描述其关系。输出特性曲线是在不同栅源极电压V_{GS}下,源漏电流I_{DS}随源漏电压V_{DS}的变化函数曲线;转移特性曲线是在一个固定的V_{DS}下,源漏电流I_{DS}随栅源电压V_{GS}之间的函数关系曲线。当器件处于不同的驱动电压V_{DS}时,器件的工作区域又可以分为线性区和饱和区。

[0060] 在较低源漏电压的情况下,由于在半导体内存在晶界、杂质等空穴陷阱,只有当V_{GS}>V_{TH},才能在沟道内堆积足够的空穴,充满有源区的空穴陷阱,形成有效的空穴累积层,进而在源极和漏极之间形成有效的导电沟道。随着V_{DS}的持续增大,I_{DS}随之线性增大,此时TFT器件工作在线性区。考虑到栅、源、漏电极的相对电势,在线性工作情况下,沟道有源区的空穴密度分布是不均匀的,表现为从源极到漏极呈现梯度递减分布。线性区域场可以近似表示为

为 $I_{DS} = \frac{W}{L} \mu_{EF} C_i \left[(V_{GS} - V_{TH}) - \frac{V_{DS}}{2} \right] V_{DS}$, 其中,L为沟道的长度,W为沟道的宽度;C_i为栅极绝缘层单位

面积的电容(C_i = ε/d,ε是栅极绝缘层材料的介电常数,d为栅极绝缘层的厚度),V_{TH}为阈值电压,μ_{EF}为TFT的场效应迁移率。随着V_{DS}的增大,当出现V_{DS}>(V_{GS}-V_{TH})的情况时,由于栅、漏之间的相对电势,使得漏极附近的空穴耗尽,此时I_{DS}由于沟道夹断而趋于饱和,不再随着V_{DS}的增大而明显增大。

[0061] 此时,晶体管工作在饱和区,I_{DS}可近似表示为: $I_{DS} = \frac{W \mu_{EF} C_i}{2L} (V_{GS} - V_{TH})^2$; TFT的直流导

通电阻是指源漏电压与源漏电流之比,在线性区: $R_{on} = \frac{V_{DS}}{I_{DS}} = \frac{1}{K_N} \frac{1}{2(V_{GS} - V_{th}) - V_{DS}}$; 在饱和区:

$R_{on} = \frac{V_{DS}}{I_{DS}} = \frac{1}{K_N} \frac{V_{DS}}{(V_{GS} - V_{th})^2}$; 深三极管区: $R_{on} = \frac{V_{DS}}{I_D} = \frac{1}{2K_N (V_{GS} - V_{th})}$; 其中K_N为导电因子,根据饱

和萨氏方程可知: I_{DS} = K_N (V_{GS}-V_{th})², 即有: K_N = I_{DS} / (V_{GS}-V_{th})², 所以K_N即为转移特性曲线的斜率。

[0062] 而本实施例的像素驱动电路中,通过调节第二晶体管T2的栅极电压,可以大范围的改变第二晶体管T2的导通电阻,从而调节该像素驱动电路的时间常数,进而决定在一帧时间内发光单元2的工作时长,以实现不同灰阶显示,使得对发光时长的调节方式的调节效率高,进而保证像素驱动电路的性能。

[0063] 实施例2:

[0064] 如图2和图3所示,本实施例提供一种像素驱动方法,其特征在于,基于实施例1的像素驱动电路,像素驱动方法包括:

[0065] 在重置阶段t1中,灰阶控制单元7根据第二电压端Vref和重置端Reset的信号控制电流流过发光单元2的时长进行初始调节。

[0066] 在数据写入阶段t2中,写入补偿单元4通过存储单元3的调节向驱动单元1写入第一数据线端DataI (n) 的第一数据信号以及补偿数据,时长调节单元6根据第二数据线端DataT (n) 和栅线端Gate (n) 的信号向灰阶控制单元7写入时长调节数据;

[0067] 在显示阶段t3中,电流控制单元5通过控制驱动单元1而控制流过发光单元2的电流大小,灰阶控制单元7根据时长调节数据、第二电压端Vref和重置端Reset的信号控制电流流过发光单元2的时长。

[0068] 具体的,该方法中,第一电压端VDD用于提供工作电压,第五电压端VSS用于提供参考电压;该方法具体包括:

[0069] S11、重置阶段t1,向第四电压端Vinit输入重置信号,向第二电压端Vref输入初始信号,向重置端Reset输入导通信号,向栅线端Gate (n)、信号端EM (n) 输入关断信号。

[0070] 其中,导通信号是指加载在晶体管栅极上时可使晶体管导通的信号,而关断信号是指加载在晶体管栅极上时可使晶体管关断的信号。

[0071] 需要说的是,以下以所有晶体管均是P型晶体管为例进行说明,故其中导通信号为低电平信号,关断信号为高电平信号。

[0072] 如图3所示,在本阶段中,也就是说,向栅线端Gate (n) 输入高电平,使得第一晶体管T1、第三晶体管T3和第四晶体管T4关断;向信号端EM (n) 输入高电平,使得第六晶体管T6和第七晶体管T7关断。向重置端Reset输入低电平,第八晶体管T8和第十晶体管T10导通,当第十晶体管T10导通,第四电压端Vinit的电压写入第一节点N1,进而使得重置信号写入存储电容Cst;同时当第八晶体管T8导通,第二电压端Vref的电压写入第三节点N3,进而使得初始信号写入第二电容C2。

[0073] S12、数据写入阶段t2,向第一数据线端DataI (n) 输入第一数据线号,向第二数据线端DataT (n) 输入第二数据信号,向栅线端Gate (n) 输入导通信号,向重置端Reset、信号端EM (n) 输入关断信号。

[0074] 如图3所示,在本阶段中,也就是说,向信号端EM (n) 输入高电平,使得第六晶体管T6和第七晶体管T7关断;向重置端Reset信号端EM (n) 输入高电平,使得第八晶体管T8和第十晶体管T10关断。向栅线端Gate (n) 输入低电平,使得第一晶体管T1、第三晶体管T3和第四晶体管T4导通。由于上阶段的存储电容Cst的信号使得第五晶体管T5导通,这样当第三晶体管T3和第四晶体管T4导通,第一数据线端DataI (n) 的第一数据信号依次经过第三晶体管T3、第五晶体管T5、第四晶体管T4写入第一节点N1,同时补偿数据也写入第一节点N1,即存储至存储电容Cst中。同时当第一晶体管T1导通,第二数据线端DataT (n) 的第二数据信号写入第二节点N2,并存储至第二电容C2中。此外,第九晶体管T9由于上一阶段的第二电容C2存储的数据为导通状态。

[0075] 其中,存储至第二电容C2的数据包括第九晶体管T9的栅极电压由特定电压VL衰减到使第九晶体管T9关断的电压Vf的时间。具体的,通过第二数据线端DataT (n) 的电压的变化调节第二晶体管T2的导通电阻,则第九晶体管T9的栅极电压由特定电压VL衰减到使第九晶体管T9关断的电压Vf的时间为 $t = R(DT)C_2 \times \ln \left[\frac{|V_{ref} - V_{com}|}{V_f} \right]$, 其中,R (DT) 表示第二

晶体管T2的导通电阻, $R(DT)$ 与特定电压 V_L 有关, C_2 表示第二电容 C_2 的电容量, V_{ref} 表示第二电压端 V_{ref} 的电压值, V_{com} 表示第三电压端 V_{com} 的电压值。由以上公式可看出, $(V_{ref}-V_{com})$ 是一个常数, 因此上式中对数部分是个与第二数据线端 $DataT(n)$ 的电压幅值无关的常数, $R(DT)$ 是一个随第二数据线端 $DataT(n)$ 的电压幅值单调变化的电阻值, 因此第九晶体管T9的导通时间 t 可以通过第二数据线端 $DataT(n)$ 的电压值得变化单调调制。

[0076] 需要说明的是, 类似的, 若在重置阶段 t_1 中, 当第二电压端 V_{ref} 的电压值为高电平 V_H (例如7V), 则第八晶体管T8导通时, 第三节点N3复位为高电平, 第九晶体管T9初始状态为关闭; 在数据写入阶段 t_2 中, 第二数据线端 $DataT(n)$ 的信号写入第二节点N2, 以控制第二晶体管T2的放电速度, 则第九晶体管T9从初始的关断状态到导通状态的时间 t' 有人适用于上述公式, 则在一帧中的工作时间为 t_3-t' 。

[0077] S13、显示阶段 t_3 , 向第一电压端 VDD 输入显示信号, 向信号端 $EM(n)$ 输入导通信号, 向重置端 $Reset$ 、栅线端 $Gate(n)$ 输入关断信号。

[0078] 如图3所示, 在本阶段中, 也就是说, 向重置端 $Reset$ 信号端 $EM(n)$ 输入高电平, 使得第八晶体管T8和第十晶体管T10关断; 向栅线端 $Gate(n)$ 输入高电平, 使得第一晶体管T1、第三晶体管T3和第四晶体管T4关断。向信号端 $EM(n)$ 输入低电平, 使得第六晶体管T6和第七晶体管T7导通, 同时第五晶体管T5在存储电容 C_{st} 的作用下保持导通, 第二电容 C_2 将上一阶段储至其的数据写入第九晶体管T9的栅极使其导通, 这样第一电压端 VDD 的显示信号依次经过第六晶体管T6、第五晶体管T5、第七晶体管T7。第九晶体管T9最终输入至发光单元2中, 实现发光单元2的发光。

[0079] 需要说明的是, 图3中显示阶段 t_3 之后的阶段可以表示重复重置阶段 t_1 至显示阶段 t_3 的过程, 可以理解为在一帧中, 具有多个循环的重置阶段 t_1 至显示阶段 t_3 , 也可以理解为显示阶段 t_3 之后的阶段为下一帧的显示过程。

[0080] 实施例3:

[0081] 本实施例提供一种显示面板, 包括多个像素驱动电路, 该像素驱动电路为上述的像素驱动电路。

[0082] 具体的, 该显示面板可为微发光二极管 (Micro-LED) 显示面板、有机发光二极管 (OLED) 显示面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0083] 应当说明的是, 在本文中, 诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来, 而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且, 术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含, 从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素, 而且还包括没有明确列出的其他要素, 或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下, 由语句“包括一个……”限定的要素, 并不排除在包括要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0084] 依照本发明的实施例如上文所述, 这些实施例并没有详尽叙述所有的细节, 也不限制该发明仅为所述的具体实施例。显然, 根据以上描述, 可作很多的修改和变化。本说明书选取并具体描述这些实施例, 是为了更好地解释本发明的原理和实际应用, 从而使所属技术领域技术人员能很好地利用本发明以及在本发明基础上的修改使用。本发明仅受权利

要求书及其全部范围和等效物的限制。

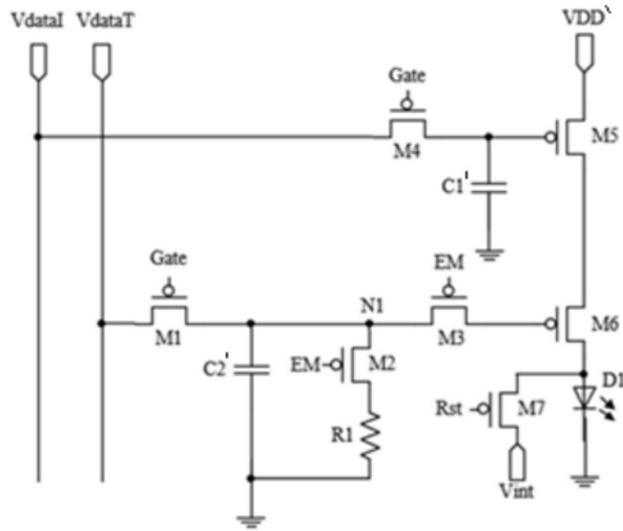


图1

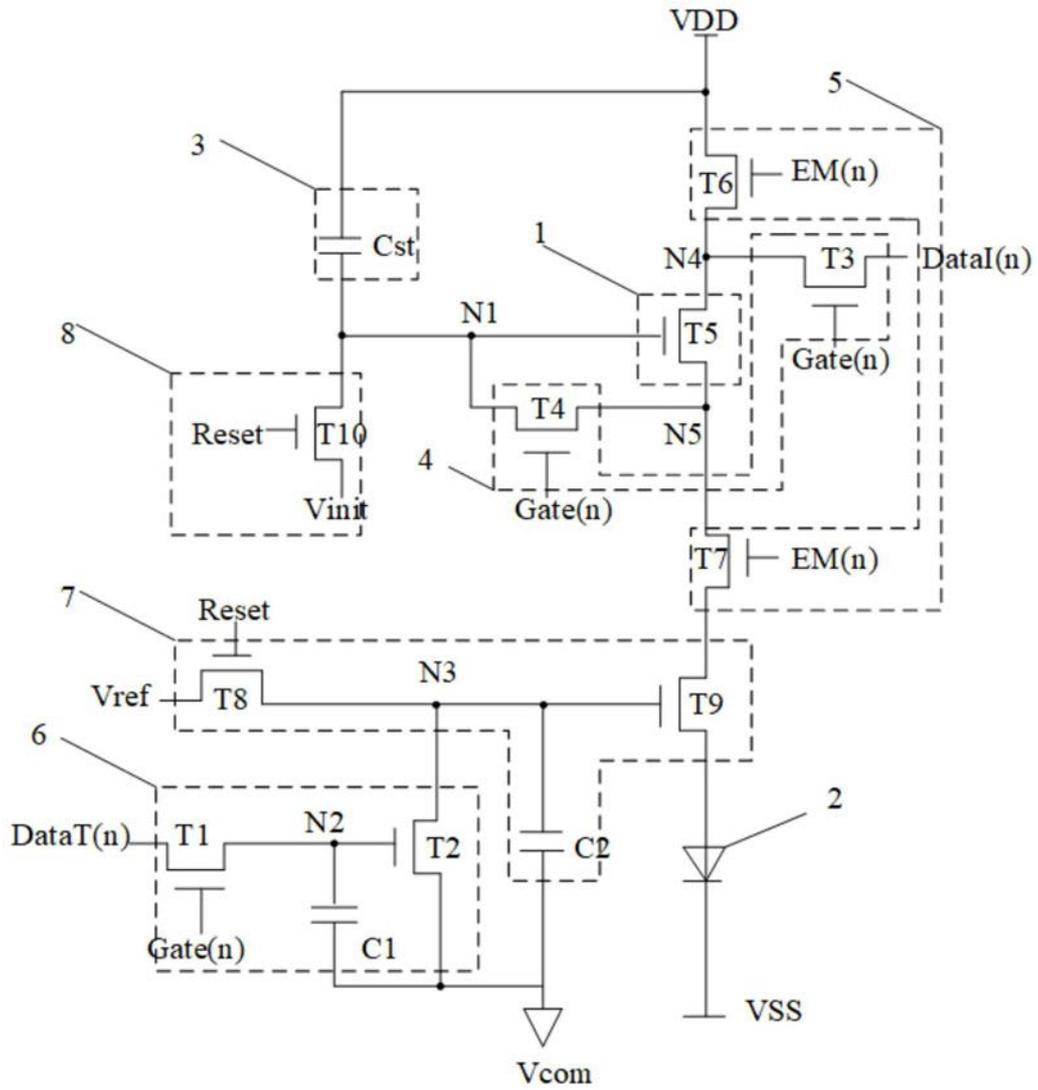


图2

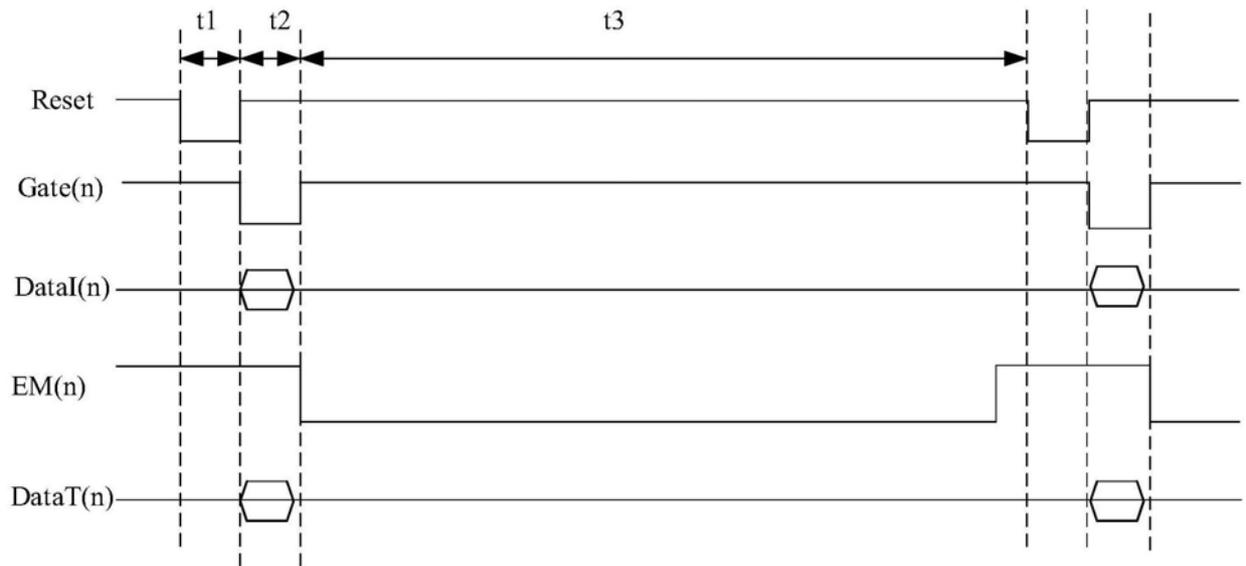


图3

专利名称(译)	像素驱动电路及其驱动方法、显示面板		
公开(公告)号	CN111477163A	公开(公告)日	2020-07-31
申请号	CN202010315482.5	申请日	2020-04-21
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	陈亮 丛宁 郑皓亮 刘冬妮 玄明花 齐琪		
发明人	陈亮 丛宁 郑皓亮 刘冬妮 玄明花 齐琪		
IPC分类号	G09G3/32 G09G3/3233		
代理人(译)	柴亮		
外部链接	SIPO		

摘要(译)

本发明提供一种像素驱动电路及其驱动方法、显示面板，属于显示技术领域，其可至少部分解决现有的Micro-LED显示装置的像素驱动电路对发光时长的调节方式的调节效率低的问题。本发明的一种像素驱动电路，包括：驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、灰阶控制单元以及时长调节单元；写入补偿单元，用于通过存储单元的调节向驱动单元写入数据线端的数据信号以及补偿数据；电流控制单元，用于通过控制驱动单元而控制流过发光单元的电流大小；时长调节单元，用于根据第二数据线端和栅线端的信号向灰阶控制单元写入时长调节数据；灰阶控制单元，用于根据时长调节数据、第二电压端和重置端的信号控制电流流过发光单元的时长。

